

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

Requested Patent: JP8017960A

Title: QEP STRUCTURE SEMICONDUCTOR DEVICE ;

Abstracted Patent: JP8017960 ;

Publication Date: 1996-01-19 ;

Inventor(s): TOBASE HIROMORI ;

Applicant(s): NEC KYUSHU LTD ;

Application Number: JP19940148051 19940629 ;

Priority Number(s): ;

IPC Classification: H01L23/12 ;

Equivalents: JP2524482B2

ABSTRACT:

**PURPOSE:** To minimize the package size of a QFP structured semiconductor device as well as improving the electronic characteristics of a power supply system wiring.

**CONSTITUTION:** A power supply system outer terminal 5b is provided on the rear surface of a package different from the outer leads 3S, 3V protruded from the package side so as to cut down the outer terminal numbers on the package side for minimizing the package size. Besides, the power supply system wirings are made in planar shape to lower the inductance and conduction resistance in the power supply system wirings for abating the ground bouncing noise. Furthermore, a decoupling capacitor structure is to be formed by a power supply system plane 6a.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-17960

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 23/12

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/ 12

K

E

審査請求 有 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平6-148051

(22) 出願日 平成6年(1994)6月29日

(71) 出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡町100番地

(72) 発明者 鳥羽瀬 浩守

熊本県熊本市八幡町100番地 九州日本電

気株式会社内

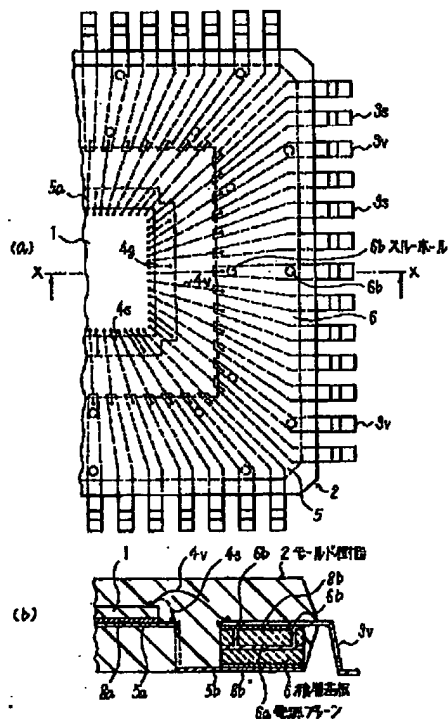
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 Q F P 構造半導体装置

(57) 【要約】

【目的】 Q F P 構造半導体装置のパッケージサイズ縮小及び電源系配線の電気特性向上。

【構成】 Q F P 構造半導体装置において、パッケージ側面から出ている外部リード3とは別にパッケージ裏面に電源系外部端子(5b)を設けることでパッケージ側面の外部端子数を減らし、パッケージサイを縮小する。また電源系配線をプレーン状にして電源系配線のインダクタンス及び導通抵抗を低減させグラウンドバウンス雑音の低減を行う。更に電源系プレーン6aによるデカップリング・コンデンサを形成する構造になっている。



1

## 【特許請求の範囲】

【請求項1】 中央に隆起した素子搭載部および前記素子搭載部に連結するつば状の縁部を有する接地板と、前記接地板の前記素子搭載部が隆起している第1の面で前記素子搭載部および縁部にそれぞれ接合して設けられた半導体パレットおよび、電源プレーンを内層として有する積層基板と、前記積層基板の前記縁部に接合する第1の面と対向する第2の面と前記電源プレーンとを結ぶ第1のスルーホールと前記半導体パレットの電源端子との間の導通をとる接続手段と、前記積層基板の前記第2の面に接合する複数の外部リードと、前記接地板の第1の面と対向する第2の面および前記各外部リードの一部をそれぞれ露出させて封止するモールド樹脂とを有することを特徴とするQFP構造半導体装置。

【請求項2】 接続手段が第1のスルーホールに接合する外部リードおよび前記外部リードと半導体パレットの電源端子とを結ぶボンディング線である請求項1記載のQFP構造半導体装置。

【請求項3】 接続手段が、第1のスルーホールに連結し積層基板の第2の面に設けられた枠状ランドおよび前記枠状ランドと半導体パレットの電源端子とを結ぶボンディング線であり、前記積層基板の第2の面と電源プレーンとを結ぶ第2のスルーホールおよび前記第2のスルーホールに接合し接地板とは独立して設けられた枠状電源端子を有する請求項1記載のQFP構造半導体装置。

【請求項4】 素子搭載部の側壁部に開口が設けられている請求項1、2または3記載のQFP構造半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、QFP構造半導体装置に関し、特に半導体パレットから外部端子までの電氣的配線に関する。

## 【0002】

【従来の技術】 従来のクワッドフラットパッケージ(QFP)構造半導体装置は、図6に示すように半導体パレット1をアイランド3aに搭載し、ボンディング線4を介して半導体パレットの端子である図示しないボンディングパッドと外部リード3とが電氣的に接続されており、外部リード3の一部を露出してモールド樹脂2で封止されている。

【0003】 外部リード3は複数あってそれぞれ分離されており、信号端子、電源端子または接地端子として、パッケージ側面からそれぞれ突き出ている、一般的にガルウィング状に成形されている。

## 【0004】

【発明が解決しようとする課題】 この従来のQFP構造半導体装置は、信号端子、電源端子および接地端子が個々に独立し、かつ全てパッケージ側面から外部へ突き出しているため、多ピンになるほどパッケージ寸法が著し

2

く大きくなるという問題点があり、パッケージ寸法を小さくする為に外部リードの狭ピッチ化や電源端子およびまたは接地端子数の制限が必要になっている。しかし、狭ピッチ化が進むと外部リードの変形や加工精度上の理由から外部リード間の絶縁を確保して製造することや実装することが困難になる。電源端子数等を制限すると半導体チップ内の電源電位の均一化や安定性が犠牲になり電氣的特性の良好な半導体装置が得られ難くなる。

【0005】 本発明の目的は、多ピン化に伴うパッケージ寸法の増大を抑制できる、いいかえると電氣的特性を犠牲にすることなく電源端子およびまたは接地端子として使用する外部リード数を制限できるQFP構造半導体装置を提供することにある。

## 【0006】

【課題を解決するための手段】 本発明のQFP構造半導体装置は中央に隆起した素子搭載部および前記素子搭載部に連結するつば状の縁部を有する接地板と、前記接地板の前記素子搭載部が隆起している第1の面で前記素子搭載部および縁部にそれぞれ接合して設けられた半導体パレットおよび、電源プレーンを内層として有する積層基板と、前記積層基板の前記縁部に接合する第1の面と対向する第2の面と前記電源プレーンとを結ぶ第1のスルーホールと前記半導体パレットの電源端子との間の導通をとる接続手段と、前記積層基板の前記第2の面に接合する複数の外部リードと、前記接地板の第1の面と対向する第2の面および前記各外部リードの一部をそれぞれ露出させて封止するモールド樹脂とを有するというものである。

【0007】 前記接続手段は、前記第1のスルーホールに接合する外部リードと前記半導体パレットの電源端子であるボンディングパッドとを結ぶボンディング線にすることができる。また、前記接続手段は前記第1のスルーホールに連結し前記積層基板の第2の面に設けられた枠状ランドおよび前記枠状ランドと前記半導体パレットの電源端子とを結ぶボンディング線であり、前記積層基板の第2の面と前記電源プレーンとを結ぶ第2のスルーホールおよび前記第2のスルーホールに接合し前記接地板とは独立して設けられた枠状電源端子を設けることもできる。

【0008】 また、素子搭載部の側壁部に開口を設け素子搭載部の下にもモールド樹脂を充填してもよい。

## 【0009】

【作用】 接地板の第2の面が露出しているので接地端子として使用でき、外部リードを接地端子用に使用しなくてもよい。更に電源プレーンと外部リードとを接続することにより、外部リードと接地板との間に容量をもたせることができる。あるいは、電源プレーンを介して半導体チップの電源端子に接続する枠状電源端子を設けることにより、外部リードを半導体装置の電源端子として使用しなくてもよい。

3

【0010】

【実施例】図1(a)は本発明の第1の実施例の部分上面図で、QFP構造半導体装置の約1/2の部分を示している。図1(b)は図1(a)のX-X線断面図、図2は第1の実施例の部分裏面図、図3は接地板の部分斜視図である。

【0011】この実施例は、中央に隆起した素子搭載部5aおよび素子搭載部5aに連結するつば状の縁部5bを有する接地板5と、接地板5の素子搭載部5aが隆起している第1の面で素子搭載部5aおよび縁部5bにそれぞれ接合して設けられた半導体ペレット1および、電源プレーン6aを内層として有する積層基板6と、積層基板6の、縁部5bに接合する第1の面と対向する第2の面と電源プレーン6aとを結ぶ第1のスルーホール6b（厳密にはスルーホール6bとそれに連結するランド以下単にスルーホールという。）と半導体ペレット1の電源端子（図示しないボンディングパッド。）との間の導通をとる接続手段と、積層基板6の第2の面に接合する複数の外部リード3s、3vと、接地板5の第1の面と対向する第2の面および各外部リード3s、3vの一部をそれぞれ露出させて封止するモールド樹脂2とを有し、前述の接続手段が、第1のスルーホール6bに接合する外部リード3vおよび外部リード3vと半導体ペレット1の電源端子とを結ぶボンディング線4vであるというものである。素子搭載部5aの側壁部に開口5cが設けられているが、これはトランスアモールド成形時に半導体ペレット1の下方に樹脂を充填し接地板とモールド樹脂との密着性を向上させるためである。

【0012】接地板5は例えば厚さ0.127mmの銅板をプレス加工して素子搭載部5aを設け開口5cを設けたもの、積層基板6は多層印刷配線板と同様のものであり、セラミック多層基板やガラスエポキシ多層基板などを用いることができる。なお、8aははんだ、8bはろう材（セラミック多層基板の場合）である。また、4gは半導体ペレットの接地端子（ボンディングパッド）と素子搭載部とを接続するボンディング線、4sは半導体ペレットの信号端子（ボンディングパッド）と外部リード3sとを接続するボンディング線である。接地板の縁部5bの裏面（第2の面）が露出しているので半導体装置の接地端子として使用でき、外部リードは全て信号端子（3s）と電源端子（3v）だけである。また電源プレーン6aと接地板の縁部5bとをそれぞれ一対の電極とするデカップリング・コンデンサが電源端子（3v）と接地端子との間に挿入されている構造になっているので電源雑音を吸収でき半導体装置の安定動作が確保される。また、ボンディング線4gが短くてよいので寄生抵抗、寄生インダクタンスが約1/3に低減でき、前述のデカップリング・コンデンサがあるのと相俟って半導体チップ内の電源電位や接地電位の変動（グラウンドバウンス雑音など）を少なくできる。

4

【0013】図4(a)は本発明の第2の実施例の部分上面図、図4(b)は図4(a)のX-X線断面図、図5は第2の実施例の部分裏面図である。

【0014】第1の実施例との相違点は、接続手段が第1のスルーホール6bAに連結し積層基板6の第2の面に設けられた棒状ランド6bBおよび棒状ランド6bBと半導体ペレット1の電源端子とを結ぶボンディング線4vであり、積層基板5の第2の面と電源プレーン6aとを結ぶ第2のスルーホール6cおよび第2のスルーホール6cに接合し接地板5とは独立して設けられた厚さ0.127mmの銅板からなる棒状電源端子7を有することである。電源プレーン6aと接地板5bとの対向面積が第1の実施例よりは小さいが、外部リードは全て信号端子3sとして使用できる利点がある。第1のスルーホール6bAとしては、6bや6cと同様にほぼ円柱状もしくは円筒状の導電膜でもよいし、図示のように棒状ランド6bBに沿って帯状をなす形状にしてもよい。多ピンゲートアレイ品種の信号端子、電源端子および接地端子は8、1および1程度の比になっているが、端子ピッチ0.5mmの304ピンを例として本発明の第2の実施例を適用するとパッケージ寸法を40mm×40mmから32mm×32mmに縮小することができる。

【0015】

【発明の効果】以上説明したように本発明は、パッケージの裏面に露出して接地板を設けたので、パッケージ側面へ伸びる外部リードを接地端子として使用しなくてもすみ半導体装置を多ピン化してもパッケージ寸法の増大を抑制できる。接地板とは独立に棒状電源端子を設ければこの効果は一層大きくできる。接地板な棒状電源端子は外部リードに比べると寄生インダクタンスや寄生抵抗についても低減ができ、特に接地配線については、現状の1/3以下のレベルに低減可能である。更に内層として電源プレーンを有する積層基板を利用しているので電源プレーンと接地板との間のデカップリング・コンデンサと相俟って電源電位や接地電位の変動（グラウンドバウンス雑音）を低減できる効果もある。

【図面の簡単な説明】

【図1】本発明の第1の実施例の部分上面図（図1(a)）および図1(a)のX-X線断面図（図1(b)）である。

【図2】第1の実施例の部分裏面図である。

【図3】図1における接地板の部分斜視図である。

【図4】本発明の第2の実施例の部分上面図（図4(a)）および図4(a)のX-X線断面図（図4(b)）である。

【図5】第2の実施例の部分裏面図である。

【図6】従来例を示す断面図である。

【符号の説明】

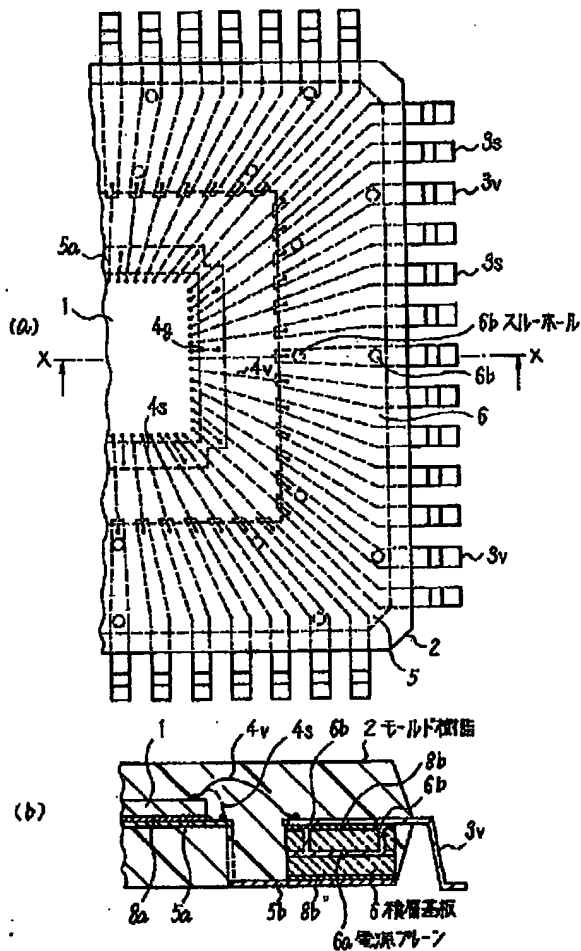
1 半導体ペレット

2 モールド樹脂

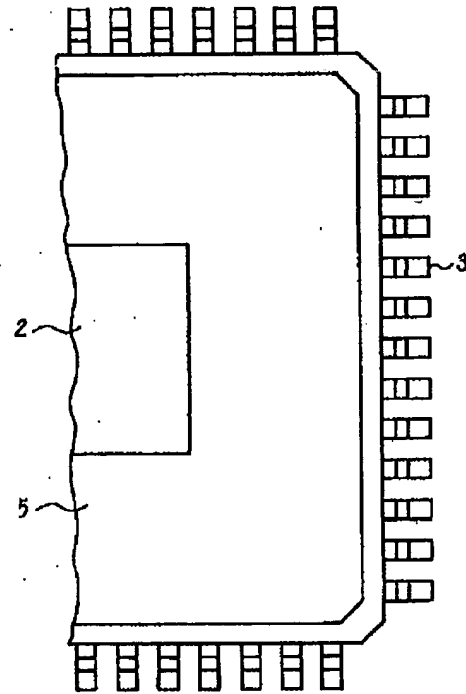
- 3 外部リード  
 3 a アイランド  
 3 s 外部リード (信号端子)  
 3 v 外部リード (電源端子)  
 4 ボンディング線  
 4 g ボンディング線 (半導体ペレットの接地端子と  
 接地板とを結ぶ)  
 4 s ボンディング線 (半導体ペレットの信号端子と  
 3 s とを結ぶ)  
 4 v ボンディング線 (半導体ペレットの電源端子と  
 3 v または棒状ランド 6 b B とを結ぶ)

- 5 接地板  
 5 a 素子搭載板  
 5 b 縁部  
 6 積層基板  
 6 a 電源プレーン  
 6 b, 6 b A, 6 c スルーホール  
 6 b B 棒状ランド  
 7 棒状電源端子  
 8 a はんだ  
 8 b ろう材

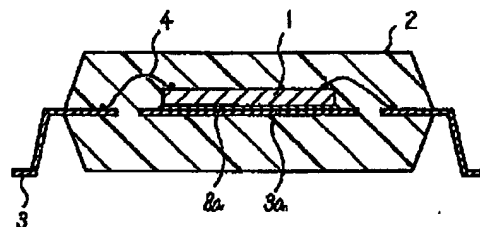
【図1】



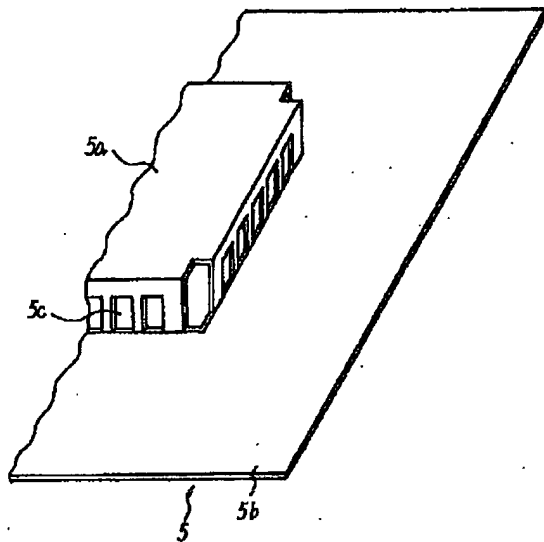
【図2】



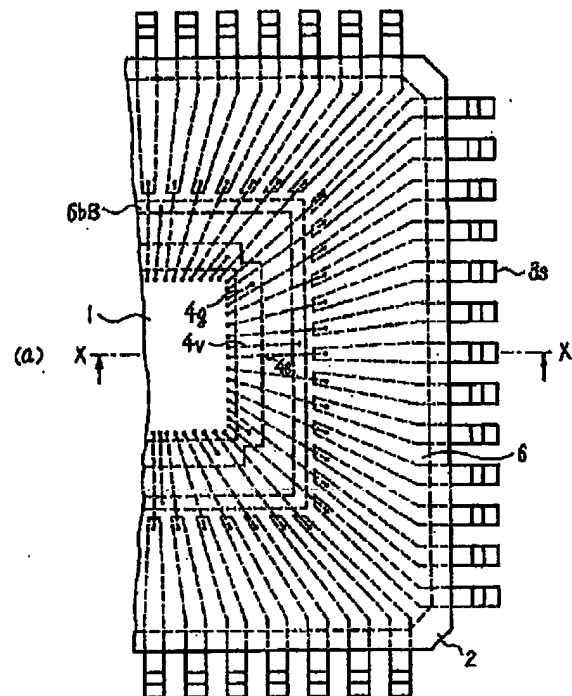
【図6】



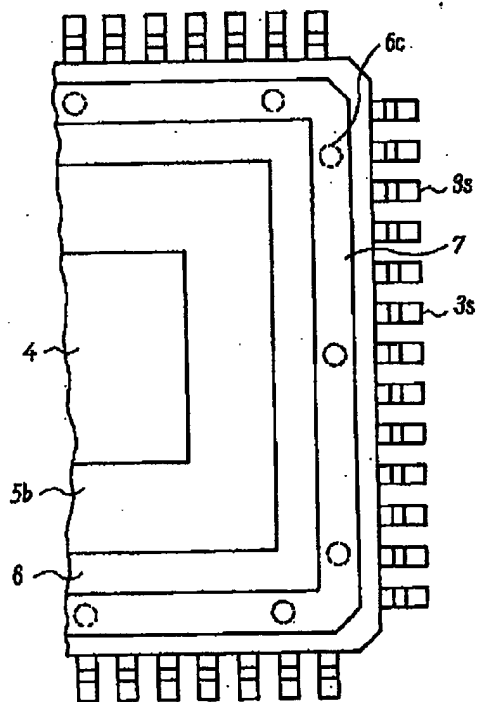
【図3】



【図4】



【図5】



(b)

